

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-259158

(43)Date of publication of application : 11.11.1987

(51)Int.Cl.

G06F 13/24

G06F 9/46

(21)Application number : 61-102054

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.05.1986

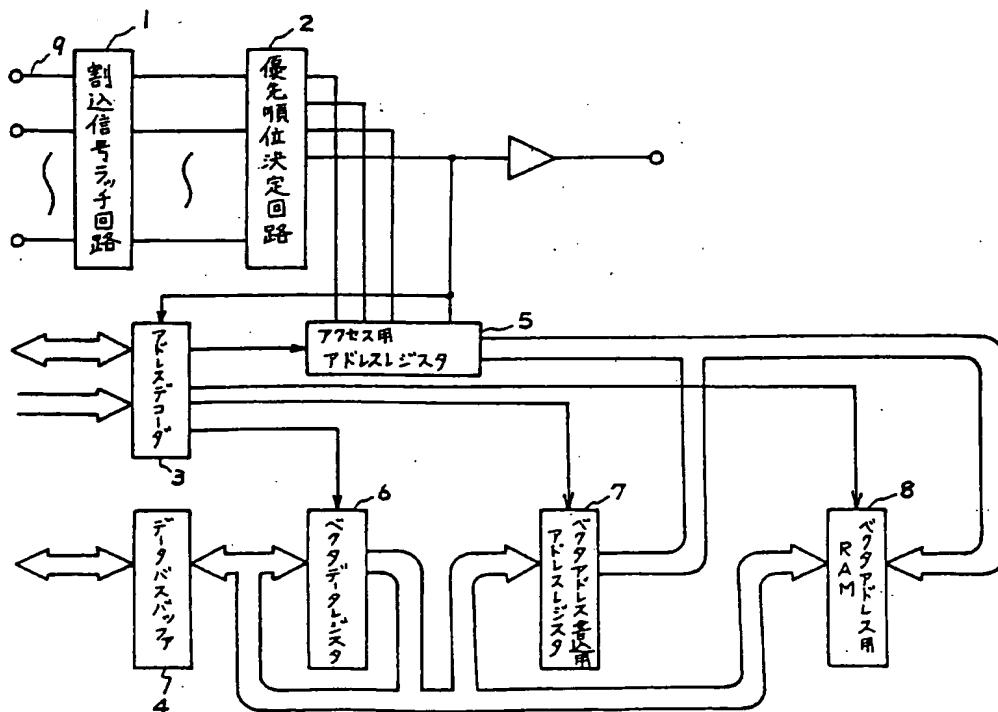
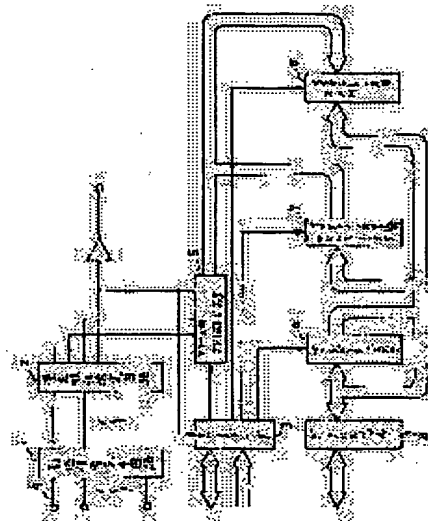
(72)Inventor : TAMURA YOSHIO

(54) INTERRUPTION REQUEST CIRCUIT

(57)Abstract:

PURPOSE: To eliminate the need for retrieval of an interruption request source and to perform interruption processing at a high speed by storing previously a vector address corresponding to an interruption request source within a memory and reading out said vector address when an interruption request is received to fetch it by a CPU.

CONSTITUTION: An interruption request signal 9 is latched by an interruption signal latch circuit 1 and the priority is encoded by a priority deciding circuit 2. A vector address corresponding to an interruption request source is written in a vector address RAM 8. Thus the encoding signal delivered from the circuit 2 when an interruption request is received is sent to an access address line of the RAM 8 through an access address register 5 as a vector address access address. An address decoder 3 secures the conditions between a fact that an interruption is received and a fact that a specific address is fixed on an address bus and sets the RAM 8 under an access state to send the vector address corresponding to the interruption request source. A CPU fetches this vector address and starts interruption processing.



THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭62-259158

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)11月11日

G 06 F 13/24
9/463 1 0
3 6 0C-7165-5B
A-8120-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 割込み要求回路

⑯ 特 願 昭61-102054

⑰ 出 願 昭61(1986)5月6日

⑱ 発 明 者 田 村 良 夫 横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

割込み要求回路

2. 特許請求の範囲

1. 割込み要求源に対応したベクタアドレスを格納するメモリと、割込み信号から優先順位に対応したベクタアドレスアクセス用アドレスを作成する回路と、割込み要求時にマイクロプロセッサが特定アドレスを送出したとき前記メモリをアクセス状態とし該メモリから読み出されたベクタアドレスを前記マイクロプロセッサにフェッチさせる回路とを備えてなる割込み要求回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロプロセッサ(以下、CPUという)の割込み要求回路に係り、特に、要求源の検索を短時間に行なうのに好適な割込み要求回路に関する。

〔従来の技術〕

1つのCPUで多数の周辺装置を制御する場合、CPUへの割込み処理を行なう割込み要求回路を設け、CPUを効率良く使用するようにしている。

例えば、特開昭60-68450号公報記載の割込み要求回路は、複数の周辺デバイスの割込み要求線を特定の抵抗比を有する抵抗を用いてラダー接続し、ラダー抵抗回路の出力電圧をA/D変換することで割込み要求源の検索を行なっている。
〔発明が解決しようとする問題点〕

上述した割込み要求回路は、要求源が多数あると要求源の検索に時間がかかり、高速割込み処理ができなくなるという問題がある。

本発明の目的は、割込み要求源の検索時間を不要にし、CPUの高速割込み処理を可能にする割込み要求回路を提供することにある。

〔問題点を解決するための手段〕

上記目的は、割込み要求回路を、割込み要求源に対応したベクタアドレスを格納するメモリと、割込み信号から優先順位に対応したベクタアドレスアクセス用アドレスを作成する回路と、割込み

要求時にCPUが特定アドレスを送出したとき前記メモリをアクセス状態とし該メモリから読み出されたベクタアドレスを前記CPUにフェッチさせる回路とで構成することにより、達成される。

〔作用〕

予めメモリ内に割込み要求源に対応するベクタアドレスを格納しておき、CPUに対して割込み要求があったとき該割込み要求信号から割込み処理を行なう要求源を示すベクタアドレスのアクセス用アドレスを作成し、該アクセス用アドレスのベクタアドレスをメモリから読み出してCPUにフェッチさせる。このため、CPUは割込み要求源を検索する必要がない。

〔実施例〕

以下、本発明の一実施例を図面を参照して説明する。

図は、割込み要求回路の構成図である。図において、図示しない各周辺装置から出力される割込み要求信号9は割込み信号ラッチ回路1にラッチされ、優先順位決定回路2で優先順位がエンコー

8から読み出されるベクタアドレスをフェッチしようとする。このとき、アドレスデコーダ3は、割込み要求があったことと特定アドレスがアドレスバス上に確定したこととの条件をとり、RAM8をアクセス状態にし、割込み要求源に対応したベクタアドレスをデータバスバッファ4を介してデータバス上に送出する。CPUは、このベクタアドレスをフェッチし、割込み処理を開始する。

以上のように本実施例によれば、CPUが割込み要求源の検索を行なう時間が不要となり、高速な割込み処理が可能となる。

〔発明の効果〕

本発明によれば、割込み要求源の検索時間が無くなり、高速割込み処理が可能となる。

4. 図面の簡単な説明

図は、本発明の一実施例に係る割込み要求回路の構成図である。

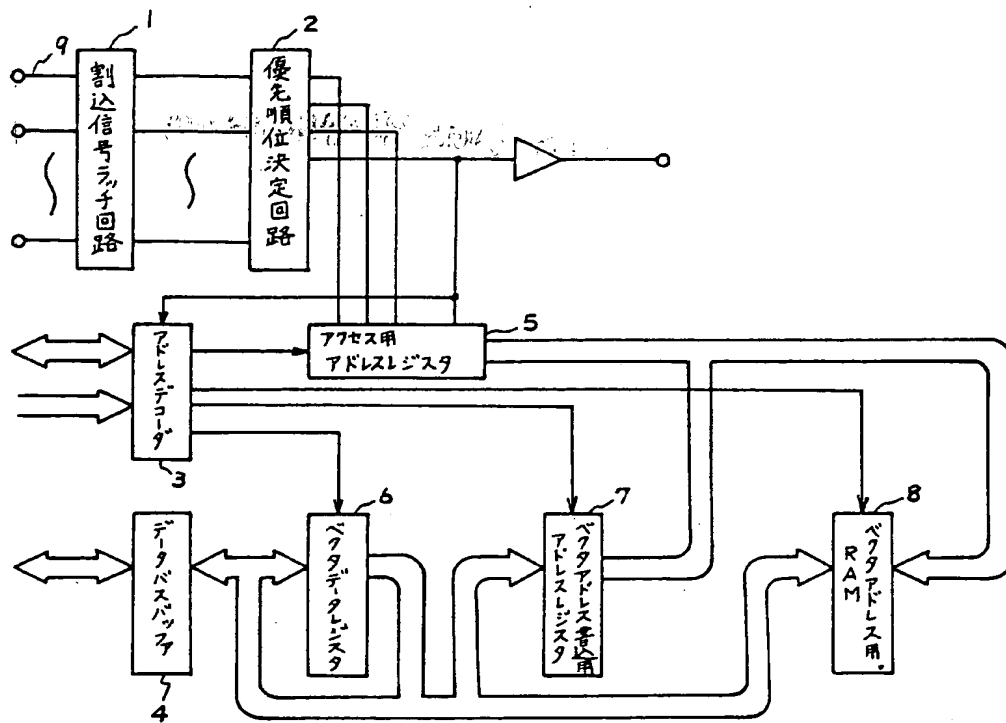
1…割込み信号ラッチ回路、2…優先順位決定回路、3…アドレスデコーダ、4…データバスバッファ、5…アクセス用アドレスレジスタ、6…ベ

クタレジスタ、7…ベクタアドレス書き込み用アドレスレジスタ、8…ベクタアドレス用RAM、9…割込み要求信号

ドされる。ベクタアドレス用RAM8には、割込み要求源に対応したベクタアドレスが書き込まれている。この書き込みは、初期状態等において、書き込み用アドレス値をベクタアドレス書き込み用アドレスレジスタ7にセットし、ベクタアドレスをベクタデータレジスタ6にセットし、RAM8を書き込み状態にすることにより行なう。このRAM8から必要なベクタアドレスを読み出すときは、ベクタアドレスアクセス用アドレスを用いる。

図示しないCPUへは、いずれかの周辺装置から割込み要求が発生したことと、優先順位が決定したことにより割込み処理を行なう。そこで、CPUに対して割込み要求があった時点での前記優先順位決定回路2から出力される優先順位のエンコード信号を、前述したベクタアドレスアクセス用アドレスとして、アクセス用アドレスレジスタ5を通してRAM8のアクセス用アドレス線に送出させる。一方、CPUは割込み要求があったとき、アドレスバス上に特定アドレスを送出し、RAM

クタデータレジスタ、7…ベクタアドレス書き込み用アドレスレジスタ、8…ベクタアドレス用RAM、9…割込み要求信号



THIS PAGE BLANK (USPTO)